

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000183160 A**

(43) Date of publication of application: **30 . 06 . 00**

(51) Int. Cl

**H01L 21/768**  
**H01L 21/288**  
**H01L 21/3205**

(21) Application number: **10352638**

(22) Date of filing: **11 . 12 . 98**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **HASHIMOTO SHIN**

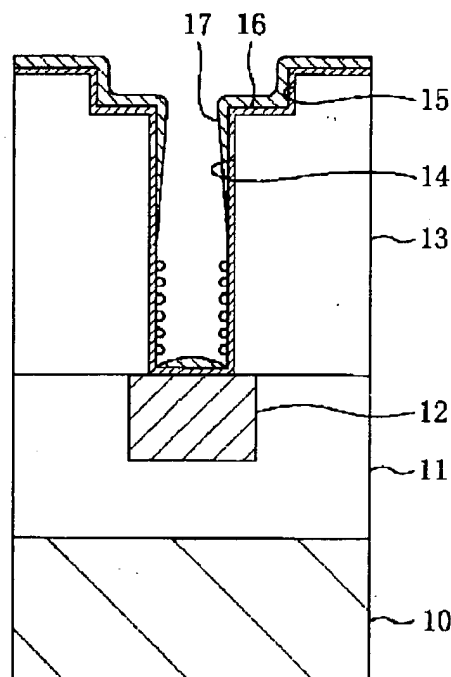
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent the formation of voids in a copper film filled in the recess of a high aspect ratio formed by an electrolytic plating method.

**SOLUTION:** After a metal wiring 12 of a first layer is formed on an interlayer insulation film 11 of the first layer deposited on a semiconductor wafer 10, an interlayer insulation film 13 of a second layer is deposited on the film 11 of the first layer. After a contact hole 14 and a wiring groove 15 are formed in the film 13 of the second layer, a barrier layer 16 made of TaN is formed. After a seed layer 17, made of copper and having a width of about 10 nm, is formed by a sputtering method, an electroless copper plating is performed on the layer 17 to form a continuously reinforced seed layer 17A. After the reinforced seed layer is subjected to an electroless copper plating to fill the contact hole 14 and the inside of the wiring groove 15 with copper, a copper film exposed to the interlayer insulating film of the second layer is removed to form an embedded wiring having a dual-damascene structure.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183160

(P2000-183160A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L	21/768	H 0 1 L 21/90	A 4 M 1 0 4
	21/288	21/288	E 5 F 0 3 3
	21/3205	21/88	B
			R

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平10-352638

(22) 出願日 平成10年12月11日 (1998.12.11)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 橋本 伸

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

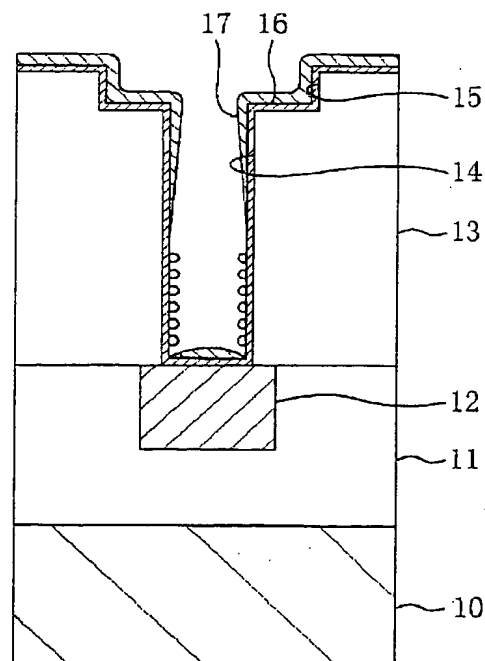
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 アスペクト比が高い凹部に電解めっき法によって充填された銅膜にボイドが形成されないようにする。

【解決手段】 半導体基板10上に堆積された第1層の層間絶縁膜11に第1層の金属配線12を形成した後、第1層の層間絶縁膜11の上に第2層の層間絶縁膜13を堆積する。第2層の層間絶縁膜13にコンタクトホール14及び配線溝15を形成した後、Ta Nからなるバリア層16を形成する。バリア層16の上にスパッタリング法によって、銅からなり10 nm程度の厚さを有するシード層17を形成した後、シード層17の上に銅の無電解めっきを行なって、連続状に補強されたシード層17 Aを形成する。補強されたシード層17 Aの上に銅の電解めっきを行なって、コンタクトホール14及び配線溝15の内部に銅膜を充填した後、第2層の層間絶縁膜の上に露出している銅膜を除去してデュアルダマシン構造を有する埋め込み配線を形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板上の絶縁膜に凹部を形成する凹部形成工程と、

スパッタ法により前記凹部の底面及び壁面に金属からなるシード層を形成するシード層形成工程と、

前記シード層に対して前記金属の無電解めっきを行なうことにより、前記シード層を連続状に補強するシード層補強工程と、

補強された前記シード層に対して前記金属の電解めっきを行なうことにより、前記凹部に金属膜を充填する金属膜充填工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 前記金属は銅であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記凹部形成工程と前記シード層形成工程との間に、スパッタリング法により前記凹部の底面及び壁面に、銅が前記絶縁膜に拡散することを防止するバリア層を形成する工程をさらに備え、前記シード層形成工程は、前記バリア層の上に前記シード層を形成する工程を含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記凹部はコンタクトホールであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記凹部は、コンタクトホールと、該コンタクトホールの上に該コンタクトホールと連通するように形成された配線溝とからなることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 補強された前記シード層の厚さは10nm以上であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項7】 前記凹部のアスペクト比は4～12であることを特徴とする請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、半導体装置の製造方法に関し、特に、層間絶縁膜に形成されたアスペクト比の高い凹部に金属膜を充填する方法に関する。

【0002】

【従来の技術】従来、半導体集積回路を構成する金属配線の材料としては、電気的抵抗が小さいこと及びバタニングが容易であること等を総合的に考慮して、アルミニウム又はアルミニウム合金からなるアルミニウム系金属が使用されてきた。

【0003】ところが、近年、半導体集積回路の高集積化、高速化及び高信頼性の要請がますます強くなってきたので、アルミニウム系金属よりも小さい体積抵抗率及び高いエレクトロマイグレーション（EM）耐性を有する、銅又は銅合金からなる銅系金属が次世代の配線材料として注目されている。尚、本明細書においては、銅と

銅合金とを特に区別することなく、両者を含む概念として銅という文言を用いると共に、銅又は銅合金のいずれかによって形成される金属膜を銅膜と称する。

【0004】ところで、銅膜に対してドライエッチングを行なうことは困難であるため、例えば特公平5-46983号公報に示されるように、配線溝を有する層間絶縁膜の上に、配線溝を含む全面に亘って銅膜を堆積した後、該銅膜に対して例えば化学機械研磨（CMP：Chemical Mechanical Polishing）を行なって、銅膜における層間絶縁膜の上に露出している部分を除去することにより、銅膜からなる埋め込み配線を形成する方法が提案されている。

【0005】この場合、層間絶縁膜の配線溝に銅膜を充填して埋め込み配線を形成するシングルダマシン構造と、層間絶縁膜の下側部分に形成されているコンタクトホールと層間絶縁膜の上側部分に形成されている配線溝に銅膜を充填することにより、コンタクト及び埋め込み配線を同時に形成するデュアルダマシン構造とが知られているが、デュアルダマシン構造は、工程数の低減を図ることができるのでコストの削減に寄与すると共に、配線の信頼性も向上させることができる。尚、本明細書においては、半導体基板に形成されているトランジスタ素子等と金属配線とを接続するためのコンタクトホール、及び下層の金属配線と上層の金属配線とを接続するためのビアホールを便宜上コンタクトホールと総称する。

【0006】半導体基板の層間絶縁膜に形成されている、コンタクトホール又は配線溝からなる凹部に銅膜を充填する方法としては、高温のリフロー法、スパッタリング法及び電解めっき法が知られているが、アスペクト比の高い凹部に銅膜を充填するためには電解めっき法が優れている。

【0007】ところで、層間絶縁膜の凹部に電解めっき法により銅膜を充填するためには、凹部の底面及び壁面に、電解めっき工程で陰極となる銅のシード層（めっき下地層）を予め形成しておく必要がある。従って、スパッタリング法により、凹部を含む層間絶縁膜の上に全面に亘って銅のシード層を形成した後、該シード層を陰極として電解めっきを行なって凹部に銅膜を充填し、その後、層間絶縁膜の上に露出している銅膜を例えば化学機械研磨により除去すると、層間絶縁膜の凹部に銅膜が充填されてなるシングルダマシン構造又はデュアルダマシン構造を有する銅の埋め込み配線を形成することができる。

【0008】

【発明が解決しようとする課題】ところで、半導体集積回路の一層の微細化に伴って配線幅の一層の微細化が求められるようになり、アスペクト比が高い例えばアスペクト比が4以上である凹部に銅膜を充填することが必要になってきた。

【0009】ところが、高アスペクト比の凹部の底面及

び壁面にスパッタリング法によりシード層を形成しようとする、凹部の底面には厚さが相対的に大きいシード層が連続して形成されると共に凹部の壁面の上側部分にも厚さが相対的に小さいシード層が連続して形成されるが、凹部の壁面の下側部分においては、シード層が島状（シード層が銅の粒状になって、銅の粒が付着する部位と付着しない部位とが混在する状態）になってしまう。この場合、銅の粒の径としては、数nm程度である。

【0010】凹部の壁面におけるシード層が連続して形成されている領域においては電解めっきによって銅膜が成長する一方、凹部の壁面におけるシード層が島状に形成されている領域では、電解めっきを行っても銅膜が殆ど成長しないか又は不十分に成長する。その理由は、銅の電解めっき浴（ $\text{CuSO}_4 \cdot 5\text{H}_2\text{O} + \text{H}_2\text{SO}_4$ ）は強酸性であるから、電解めっきによって銅膜が成長する速度よりも、島状のシード層が電解めっき浴によって溶けて無くなる速度の方が速いためである。

【0011】このように、凹部の上側部分、つまりシード層が連続的に形成されている部分においては電解めっきによって銅膜が成長していく一方、凹部の下側部分、つまり、シード層が島状に形成されている部分においては、銅膜が殆ど成長しないか又は不十分に成長するので、凹部に充填される銅膜にはボイドが形成されてしまう。

【0012】もっとも、シード層の厚さを大きくして、凹部の下側部分の壁面においても連続的なシード層を形成することが考慮されるが、この場合には、凹部の開口部においてシード層が大きくオーバーハングしてしまうので、凹部に充填される銅膜には大きなボイドが形成されてしまう。従って、シード層の厚さは余り大きくすることはできない。

【0013】以上説明したように、従来の方法によって、アスペクト比が高い凹部に銅膜を充填すると、銅膜の内部にボイドができてしまうので、銅の埋め込み配線の歩留まり及び信頼性が損なわれるという問題が発生する。

【0014】前記に鑑み、本発明は、アスペクト比が高い凹部に電解めっき法によって充填された銅膜にボイドが形成されないようにして、銅膜の信頼性を向上させることを目的とする。

【0015】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る半導体装置の製造方法は、半導体基板上の絶縁膜に凹部を形成する凹部形成工程と、スパッタ法により凹部の底面及び壁面に金属からなるシード層を形成するシード層形成工程と、シード層に対して金属の無電解めっきを行なうことにより、シード層を連続状に補強するシード層補強工程と、補強されたシード層に対して金属の電解めっきを行なうことにより、凹部に金属膜を充填する金属膜充填工程とを備えている。

【0016】本発明の半導体装置の製造方法によると、スパッタ法により凹部の底面及び壁面に形成されたシード層を無電解めっきによって連続状に補強した後に、電解めっきを行なって凹部に金属膜を充填するため、つまり、電解めっきは連続状に補強されたシード層に対して行なわれるため、凹部に充填される金属膜はシード層の上に確実に成長する。

【0017】本発明の半導体装置の製造方法において、金属は銅であることが好ましい。

10 【0018】金属が銅である場合には、凹部形成工程とシード層形成工程との間に、スパッタリング法により凹部の底面及び壁面に、銅が絶縁膜に拡散することを防止するバリア層を形成する工程をさらに備え、シード層形成工程は、バリア層の上にシード層を形成する工程を含むことが好ましい。

【0019】本発明の半導体装置の製造方法において、凹部はコンタクトホールであることが好ましい。

20 【0020】本発明の半導体装置の製造方法において、凹部は、コンタクトホールと、該コンタクトホールの上に該コンタクトホールと連通するように形成された配線溝とからなることが好ましい。

【0021】本発明の半導体装置の製造方法において、補強されたシード層の厚さは10nm以上であることが好ましい。

【0022】本発明の半導体装置の製造方法において、凹部のアスペクト比は4～12であることが好ましい。

【0023】

30 【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置の製造方法について、図1～図5を参照しながら説明する。

40 【0024】図1は、第1の実施形態によって得られるデュアルダマシン構造の埋め込み配線を備えた半導体装置の断面構造を示しており、図1に示すように、シリコンからなる半導体基板100の表面部には素子分離領域となるトレンチ溝101が形成されている。半導体基板100の表面部におけるトレンチ溝101で囲まれたトランジスタ形成領域には、ソース領域又はドレイン領域となる高濃度不純物領域102及び低濃度不純物領域103が形成されている。半導体基板100におけるソース領域とドレイン領域とで挟まれたチャネル領域の上にはゲート絶縁膜104を介してゲート電極105が形成され、該ゲート電極105の側面にはサイドウォール106が形成されている。

50 【0025】半導体基板100の上には第1層の層間絶縁膜107が形成されており、該第1層の層間絶縁膜107には、高濃度不純物領域102と接続されるコンタクト108及び第1層の金属配線110が形成されている。また、第1層の層間絶縁膜107の上には第2層の層間絶縁膜111が形成されており、該第2層の層間絶縁膜111には、第1層の金属配線110と接続される

コンタクト112及び第2層の金属配線113からなるデュアルダマシ構造を有する埋め込み配線が形成されている。尚、コンタクト108と第1層の金属配線110とからなるデュアルダマシ構造を有する場合もある。

【0026】以下、デュアルダマシ構造を有する埋め込み配線を備えた半導体装置の製造方法について、図2～図5を参照しながら説明する。

【0027】まず、図2に示すように、半導体基板10の上に第1層の層間絶縁膜11を堆積した後、該第1層の層間絶縁膜11に第1層の金属配線12を形成する。次に、第1層の層間絶縁膜11の上に第2層の層間絶縁膜13を堆積した後、該第2層の層間絶縁膜13に、第1層の金属配線12を露出させるコンタクトホール14及び配線溝15を形成する。コンタクトホール14及び配線溝15の形成方法は特に限定されるものではなく、周知のリソグラフィ技術を用いることができる。

【0028】また、コンタクトホール14のアスペクト比についても限定されないが、第1の実施形態では、コンタクトホール14の大きさとして、開口径が0.24  $\mu\text{m}$ 程度で且つ深さが1.3  $\mu\text{m}$ 程度に設定されており、アスペクト比としては5～6である。

【0029】次に、コンタクトホール14及び配線溝15を含む第2層の層間絶縁膜13の上に全面に亘って、銅膜を構成する銅原子が第2層の層間絶縁膜13に拡散する事態を防止するTaNからなるバリア層16を例えばスパッタリング法によって堆積する。尚、この場合、直進性に優れたイオンビームスパッタリング法によってバリア層16を形成すると、コンタクトホール14及び配線溝15の側壁に良好にバリア層16を形成することができる。スパッタリング法の条件の一例を挙げると、5mTorr程度の圧力に保たれているチャンバー内に配置された直径が例えば30cm程度のTaからなるターゲットに例えば5kWの電力を印加すると共に、チャンバー内に窒素ガスを導入すると、TaNからなるバリア層16が堆積される。

【0030】次に、バリア層16の上にスパッタリング法によって、銅からなりバリア層16との密着性に優れた10nm程度の厚さを有するシード層17を形成する。この場合にも、スパッタリング法としては、直進性に優れたイオンビームスパッタリング法が好ましいが、バイアススパッタリング法又はコロレートスパッタリング法も直進性に優れているので好ましい。このようにすると、発明が解決しようとする課題の項でも説明したように、コンタクトホール14の下側部分の壁面においては、数nm程度の直径を有する銅の粒が島状に形成されたシード層17が形成される。

【0031】尚、シード層17の厚さを大きくすると、コンタクトホール14の下側部分の壁面にも連続的なシード層17が形成されやすいが、シード層17の厚さが

大きくなり過ぎると、コンタクトホール14の開口部においてオーバーハング部が厚くなってしまふ。このため、コンタクトホール14に銅膜をめっき法によって充填する際に、コンタクトホール14の開口部が先に閉塞されて、コンタクトホール14の内部にボイドが形成されてしまふ恐れがあるので、これらの事情を考慮してシード層17の厚さを決定することが好ましい。

【0032】次に、シード層17の上に銅の無電解めっきを行なって、シード層17を成長させることにより、図3に示すように、コンタクトホール14の壁面の側部分及び下側部分並びに底面において銅膜が連続しており且つ10nm程度の厚さを有する、補強されたシード層17Aを形成する。この場合、シード層17における島状の領域は、連続している領域よりも表面積が大きいため、無電解めっきの堆積レートが相対的に大きくなるので、補強されたシード層17Aの厚さはほぼ均一になる。

【0033】無電解めっき浴としては、銅イオン源としての硫酸銅( $\text{CuSO}_4$ )、還元剤、錯化剤、pH調整剤、安定剤及び表面活性剤などが適当な割合で混合されたものを用い、無電解めっき浴の温度としては50～80℃程度に設定することが好ましい。

【0034】以下、無電解めっき浴の一例を挙げておく。

【0035】＜第1の無電解めっき浴＞

銅イオン源：硫酸銅( $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ )

還元剤：ホルムアルデヒド( $\text{HCHO}$ )

錯化剤：エチレンジアミン四酢酸( $\text{EDTA} : (\text{CH}_2\text{COOH})_2\text{N}-\text{CH}_2-\text{CH}_2-\text{N}(\text{CH}_2\text{COOH})_2$ )

pH調整剤：NaOH (pH: 12.5)

安定剤：シアニド $\text{CN}^-$

表面活性剤：ポリマー

＜第2の無電解めっき浴＞

銅イオン源：硫酸銅( $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ )

還元剤：ホルムアルデヒド( $\text{HCHO}$ )

錯化剤：エチレンジアミン四酢酸( $\text{EDTA}$ )

pH調整剤：水酸化四メチルアンモニウム(TMAH:  $\text{N}(\text{CH}_3)_4\text{OH}$ , pH: 12.5)

安定剤：ジビリジル

表面活性剤：ポリマー

＜第3の無電解めっき浴＞

銅イオン源：硫酸銅( $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ )

還元剤：アスコルビン酸又はコバルト(3価イオン)

錯化剤：エチレンジアミン(EN)

安定剤：ジビリジル

表面活性剤：ポリマー

前記のような無電解めっき浴を用いて銅の無電解めっきを行なうと、無電解めっき浴中に還元剤が含まれているため、例えば、第1又は第2の無電解めっき浴を用いた場合、該無電解めっき浴中に浸されたシード層17の表

面においては、 $\text{HCHO} \rightarrow \text{HCOOH} + e^-$  の酸化反応が起こると共に、 $\text{Cu}^{2+} + 2e^- \rightarrow \text{Cu} \downarrow$  (析出) の還元反応が同時に起こり、析出したCuがシード層17の表面に付着するので、シード層17は50nm/min以下の堆積レートで成長する。

【0036】ところで、一般的には、銅の無電解めっきを行なう前に、シード層17の表面に対して、溶剤による脱脂処理及び酸性の洗浄液による酸洗浄を行なうが、酸洗浄については行なわない方が好ましい。その理由は、シード層17における厚さの大きい部分においては、シード層17の表面が酸性の洗浄液に溶けても無電解めっきによってシード層17の表面にCuが析出するため特に支障はないが、シード層17における厚さの小さい部分又は島状になっている部分は酸性の洗浄液に溶けて無くなってしまふ恐れがあるからである。

【0037】また、シード層17の表面を酸洗浄しなくても、つまりシード層17の表面が酸化されている場合であっても、無電解めっき浴に含まれるフォルムアルデヒド( $\text{HCHO}$ )などの還元剤の働きによって、シード層17の表面が還元されて活性化されるので、前述した  $\text{Cu}^{2+} + 2e^- \rightarrow \text{Cu} \downarrow$  の反応が起こって、シード層17の表面にCuが析出する。この場合、シード層17の表面酸化層の還元と、シード層17の表面へのCuの付着との両方の現象が起こるため、銅膜の成長速度は遅くなるが、アスペクト比が高いコンタクトホール14の内部においては、銅膜の成長速度が遅くても特に支障はない。

【0038】次に、補強されたシード層17Aの上に銅の電解めっきを行なって、図4に示すように、コンタクトホール14及び配線溝15の内部に銅膜18を充填する。

【0039】この場合、銅の電解めっき浴としては、一般的なものでよく、例えば、以下に示すようなものが挙げられる。

【0040】硫酸銅( $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ ): 80~150g/l (グラム/リットル)

硫酸( $\text{H}_2\text{SO}_4$ ): 100~200g/l

塩素( $\text{Cl}_2$ ): 60~70mg/l

添加剤: 適量

このような電解めっき浴を用いて電解めっきを行なうと、100~500nm/min程度の堆積レートで銅膜18は成長する。

【0041】この場合、電解めっき浴に含まれる添加剤の働きによって、銅膜18はコンタクト14及び配線溝15の内部において底部から上側に向かって成長していくので確実に充填される。

【0042】次に、銅膜18における第2層の層間絶縁膜13の上側に露出している部分を例えばCMP法により除去すると、図5に示すように、デュアルダマシン構造を有する埋め込み銅配線19が得られる。

【0043】尚、無電解めっきによって補強されたシード層17Aを形成した後、引き続き無電解めっきによって、コンタクトホール14及び配線溝15の内部に銅膜18を充填することも考慮されるが、前述したように、無電解めっきの堆積レートは電解めっきの堆積レートに比べてかなり小さいため、スループットが低下するので、無電解めっきによって、補強されたシード層17Aを形成した後、電解めっきによって、コンタクトホール14及び配線溝15の内部に銅膜18を充填することが好ましい。

【0044】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図6~図9を参照しながら説明する。

【0045】まず、図6に示すように、半導体基板20の上に第1層の層間絶縁膜21を堆積した後、該第1層の層間絶縁膜21に第2層の金属配線22を形成する。次に、第1層の層間絶縁膜21の上に第2層の層間絶縁膜23を堆積した後、該第2層の層間絶縁膜23に、第1層の金属配線22を露出させるコンタクトホール24を形成する。コンタクトホール24の形成方法は特に限定されるものではなく、周知のリソグラフィ技術を用いることができる。

【0046】また、コンタクトホール24のアスペクト比についても限定されないが、第2の実施形態では、コンタクトホール24の大きさとして、開口径が0.24μm程度で且つ深さが1.3μm程度に設定されており、アスペクト比としては5~6である。

【0047】次に、コンタクトホール24を含む第2層の層間絶縁膜23の上に全面に亘って、銅膜を構成する銅原子が第2層の層間絶縁膜23に拡散する事態を防止するTa-Nからなるバリア層26を例えばスパッタリング法によって堆積する。

【0048】次に、バリア層26の上にスパッタリング法によって、銅からなりバリア層26との密着性に優れた10nm程度の厚さを有するシード層27を形成する。この場合にも、直進性に優れたイオンビームスパッタリング、バイアススパッタリング法又はコロメートスパッタリング法によりシード層27を形成することが好ましい。

【0049】このようにすると、コンタクトホール24の下側部分の壁面においては、数nm程度の直径を有する銅の粒が島状に形成されたシード層27が形成される。

【0050】次に、シード層27の上に銅の無電解めっきを行なって、シード層27を成長させることにより、図7に示すように、コンタクトホール24の壁面の上側部分及び下側部分並びに底面において銅膜が連続しており且つ10nm程度の厚さを有する、補強されたシード層27Aを形成する。尚、無電解めっき浴としては、第1の実施形態と同様のものを用いることができる。

【0051】次に、補強されたシード層27Aの上に銅の電解めっきを行なって、図8に示すように、コンタクトホール24の内部に銅膜28を充填する。尚、銅の電解めっき浴としては、第1の実施形態と同様のものを用いることができる。

【0052】次に、銅膜28における第2層の層間絶縁膜23の上側に露出している部分を例えばCMP法により除去すると、図9に示すように、コンタクト29が得られる。

【0053】尚、第1及び第2の実施形態においては、銅からなるシード層17、27及び銅膜18、28を形成したが、銅に代えて、銀(Ag)、金(Au)又はプラチナ(Pt)を用いてもよい。

【0054】銅に代えて銀を用いる場合には、銀イオンを含む無電解めっき浴(AgNO<sub>3</sub>)を用いることが好ましい。

【0055】また、第1の実施形態又は第2の実施形態においては、コンタクトホールのアスペクト比は5~6であったが、本発明はコンタクトホールのアスペクト比が高い場合に効果的であって、アスペクト比が4~12であるコンタクトホールに適用することができる。

【0056】また、第1の実施形態又は第2の実施形態においては、Ta<sub>2</sub>Nからなるバリア層16、26を用いたが、これに代えて、Ta(タンタル)、TiN(チタンナイトライド)、WN(タングステンナイトライド)をバリア層として用いてもよい。これらのバリア層はスパッタリング法によって堆積することができると共に、Ta<sub>2</sub>N、TiN、WNはCVD法によって堆積することもできる。

【0057】また、第1の実施形態又は第2の実施形態においては、コンタクトホールに金属膜例えば銅膜を充填する場合であったが、トレンチ溝に金属膜を充填する場合にも本発明は適用することができる。尚、ここでいうトレンチ溝とは、基板面と平行に延びる溝状の凹部のことであって、基板面と垂直な方向に延びるコンタクトホールとは異なる。コンタクトホールは、その周囲が壁によって囲まれているため、トレンチ溝に比べて金属膜の充填は困難である。従って、コンタクトホールへの金属膜の充填ができれば、トレンチ溝への金属膜の充填は容易である。

【0058】また、コンタクトホールとトレンチ溝とが混在している場合でも本発明を適用することができる。コンタクトホールとトレンチ溝とが混在している半導体基板に対してスパッタリング法を行なってコンタクトホール及びトレンチ溝に銅のシード層を形成すると、シード層は、前述のように、連続状ではなくてコンタクトホール及びトレンチ溝の下側部分の壁面では島状になる。

【0059】次に、無電解めっきを行なうが、この場合にはコンタクトホールが充填されるまで無電解めっきを行なう。つまり、無電解めっきはコンタクトホールが充

填された段階で終了する。このようにすると、無電解めっきによってトレンチ溝にも銅膜が形成されるが、トレンチ溝はコンタクトホールよりも開口部の面積が大きいので、コンタクトホールが充填された段階でトレンチ溝のシード層は補強される。

【0060】次に、シード層が補強されているトレンチ溝に対して電解めっきを行なって、トレンチ溝に銅膜を充填する。

【0061】これらの工程によって、コンタクトホールの開口部の径が小さい場合には、コンタクトホールに対しては無電解めっきによって銅膜を充填してしまうと共に、トレンチ溝に対してはシード層の補強を行なうことができる。

【0062】

【発明の効果】本発明の半導体装置の製造方法によると、電解めっきは、無電解めっきによって連続状に補強されたシード層に対して行なわれるため、凹部のアスペクト比が高くて、凹部に充填される金属膜がシード層の上に確実に成長するので、金属膜にはボイドが形成されず、これによって、凹部に充填された金属膜の信頼性が向上する。

【0063】本発明の半導体装置の製造方法において、金属が銅であると、絶縁膜に形成された凹部に銅膜を確実に充填することができる。

【0064】この場合、凹部の底面及び壁面にバリア層を形成した後に、銅からなるシード層を形成すると、銅膜を構成する銅が絶縁膜に拡散する事態を確実に防止することができる。

【0065】本発明の半導体装置の製造方法において、凹部がコンタクトホールであると、アスペクト比が高いコンタクトの信頼性を向上させることができる。

【0066】本発明の半導体装置の製造方法において、凹部がコンタクトホールと配線溝とからなると、アスペクト比が高いコンタクトを有するデュアルダマシン構造の埋め込み配線の信頼性を向上させることができる。

【0067】本発明の半導体装置の製造方法において、補強されたシード層の厚さが10nm以上であると、電解めっき工程においてシード層の上に金属膜が確実に成長するので、ボイドのない金属膜を凹部に確実に充填することができる。

【0068】本発明の半導体装置の製造方法において、凹部のアスペクト比が4~12であると、ボイドのない金属膜をアスペクト比が高い凹部に確実に充填することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態により得られる埋め込み配線を備えた半導体装置の断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製

\* 19 埋め込み配線

## 20 半導體基板

## 2.1 第1層の層間絶縁膜

## 22 第2層の金属配線

### 23 第2層の層間絶縁膜

## 24 コンタクトホール

## 26 バリア層

## 27 シード層

27A 補強されたシード層

28 銅膜

## 29 コンタクト

100 半導體基板

101 トレンチ溝

102 高濃度不純物領域

103 低濃度不純物領域

104 ゲート絶縁膜

105 ゲート電極

106 サイドウォール

20

108    コンタクト

110 第1層の金属配線

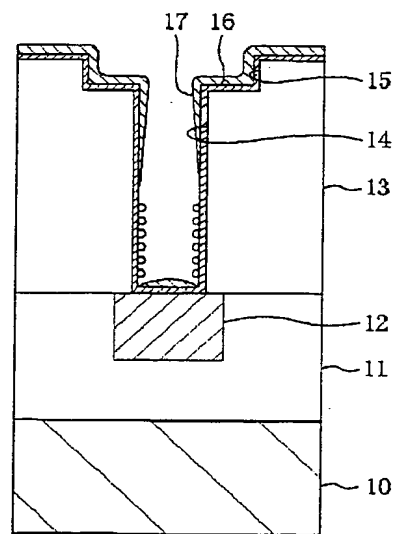
### 1 1 1 第2層の層間絶縁膜

112    コンタクト

\*

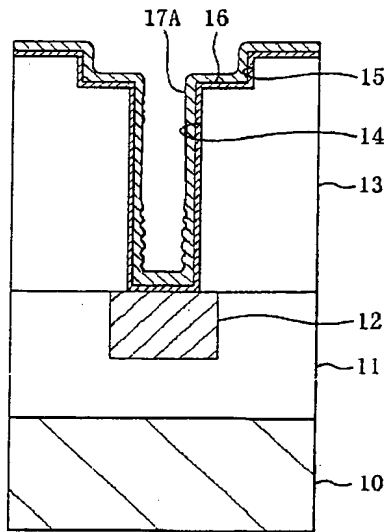
### 1 1 3 第2層の金属配線

【圖2】

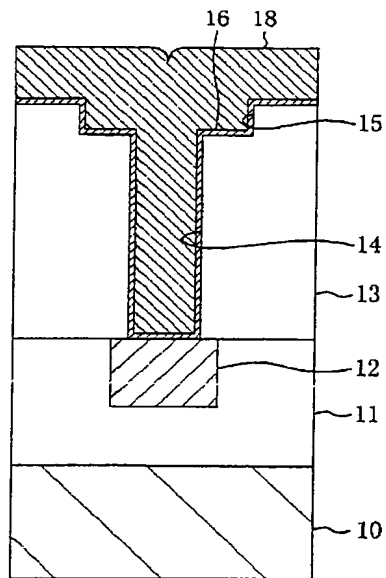




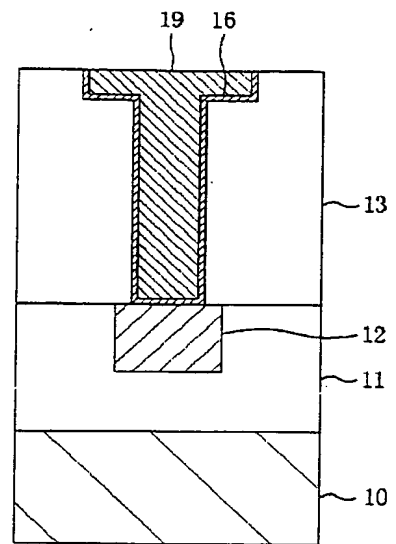
【図3】



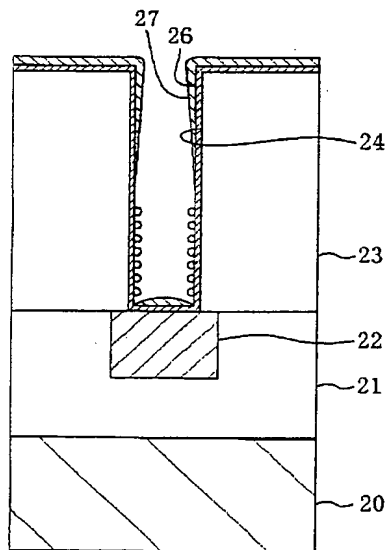
【図4】



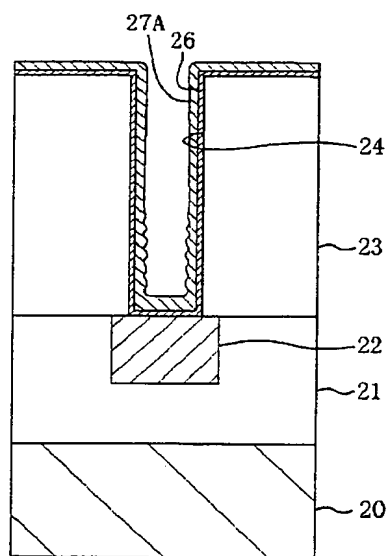
【図5】



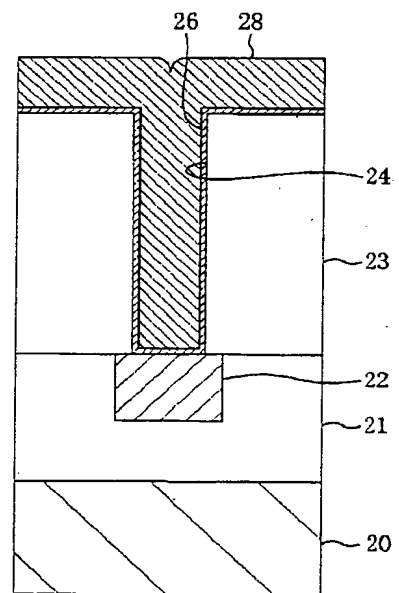
【図6】



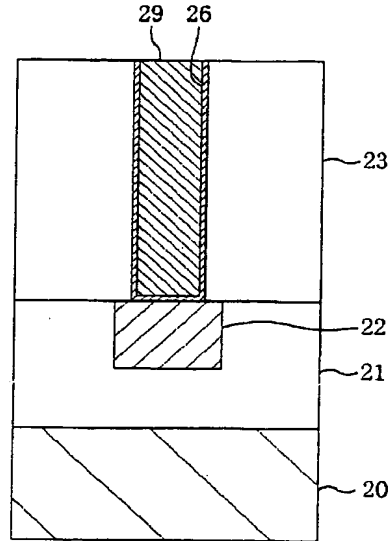
【図7】



【図8】



【図9】



## 【手続補正書】

【提出日】平成12年2月18日（2000. 2. 18）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板上の絶縁膜に凹部を形成する凹部形成工程と、

スパッタ法により前記凹部の底面及び壁面に金属からなるシード層を形成するシード層形成工程と、

酸性の洗浄液による酸洗浄を行なうことなく前記シード層に対して前記金属の無電解めっきを行なうことにより、前記シード層を連続状に補強するシード層補強工程と、

補強された前記シード層に対して前記金属の電解めっきを行なうことにより、前記凹部に金属膜を充填する金属膜充填工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 前記シード層形成工程と前記シード層補強工程との間に、前記シード層の表面に対して溶剤による脱脂処理を行なう工程をさらに備えていることを特徴

とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記金属は銅であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記凹部形成工程と前記シード層形成工程との間に、スパッタリング法により前記凹部の底面及び壁面に、銅が前記絶縁膜に拡散することを防止するバリア層を形成する工程をさらに備え、前記シード層形成工程は、前記バリア層の上に前記シード層を形成する工程を含むことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記凹部はコンタクトホールであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 前記凹部は、コンタクトホールと、該コンタクトホールの上に該コンタクトホールと連通するように形成された配線溝とからなることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項7】 補強された前記シード層の厚さは10nm以上であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項8】 前記凹部のアスペクト比は4～12であることを特徴とする請求項1に記載の半導体装置の製造方法。

## フロントページの続き

F ターム(参考) 4M104 BB04 BB06 BB08 BB09 BB17  
BB30 BB32 BB33 DD07 DD15  
DD37 DD38 DD52 DD53 HH20  
5F033 HH07 HH11 HH13 HH14 HH21  
HH32 HH33 HH34 JJ01 KK07  
MM02 MM08 NN06 NN07 PP06  
PP15 PP17 PP27 PP28 QQ08  
QQ09 QQ10 QQ37 QQ48 TT01  
WW00 WW02 XX00 XX04